



Matthieu Haefele

Du 16 mars 2022 au 16 mars 2022

LMAP, UPPA, Pau

Page web : https://lma-umr5142.univ-pau.fr/fr/organisation/membres/cv_-mhaefele-fr.html | 📄

Titre :FPGA : un nouveau type d'accélérateur pour le calcul ?

Résumé : Les Field Programmable Gate Arrays (FPGA) sont des puces électroniques qui se situent entre des ASICs, des puces dédiées à certains traitements, et des processeurs conventionnels (CPU). Cette notion provient de l'aspect reconfigurable de ces dispositifs, les rendant plus flexibles que des ASICs (au prix d'une surface utile de silicium plus petite et d'un besoin en énergie plus important) mais beaucoup plus efficaces en terme d'énergie que les CPU ou même les processeurs graphiques (GPU).

Ils sont principalement utilisés dans le domaine de l'électronique embarquée avec des applications à faibles besoins énergétiques. Une productivité de développement faible, un manque de portabilité entre dispositifs et des temps de compilation très longs sont les contraintes fortes qui ont vraisemblablement empêché leur utilisation dans le domaine du HPC jusqu'ici. Mais l'apparition de modèles récents ayant de très grandes capacités, conjuguée avec des modèles de programmation de plus hauts niveaux, pourraient rendre leur utilisation possible dans les très grands calculateurs, aujourd'hui limités par le besoin en énergie électrique.

Cet exposé propose de présenter ce nouveau type d'accélérateur et son utilisation dans le domaine du calcul avec l'implémentation de plusieurs noyaux de calcul issus d'un code de production de dynamique moléculaire en utilisant le modèle de programmation Maxeler MaxJ. Les résultats obtenus en terme de temps et d'énergie seront comparés aux implémentations CPU et GPU de ces mêmes noyaux.